

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

008675828 **Image available**

WPI Acc No: 1991-179848/199125

XRPX Acc No: N91-137807

**Driving circuit for liquid crystal display - drives source lines of
active matrix type display with thin film transistor matrix array**

Patent Assignee: SHARP KK (SHAF)

Inventor: FUKUDA H

Number of Countries: 010 Number of Patents: 011

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 433054	A	19910619	EP 90313541	A	19901212	199125	B
JP 3184018	A	19910812	JP 89324639	A	19891214	199138	
AU 9067712	A	19910829				199141	
BR 9006329	A	19910924				199143	
CN 1052565	A	19910626				199214	
US 5162786	A	19921110	US 90619239	A	19901128	199248	
EP 433054	A3	19920805	EP 90313541	A	19901212	199336	
EP 433054	B1	19950719	EP 90313541	A	19901212	199533	
DE 69021027	E	19950824	DE 621027	A	19901212	199539	
			EP 90313541	A	19901212		
ES 2074143	T3	19950901	EP 90313541	A	19901212	199541	
KR 9402295	B1	19940321	KR 9019908	A	19901205	199601	

Priority Applications (No Type Date): JP 89324639 A 19891214

Cited Patents: NoSR.Pub; 1.Jnl.Ref; EP 298255; EP 391654; GB 2204174; JP
60116222

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 433054	A				

Designated States (Regional): DE ES FR GB

US 5162786	A	13	G09G-003/36
------------	---	----	-------------

EP 433054	B1 E	16	G09G-003/36
-----------	------	----	-------------

Designated States (Regional): DE ES FR GB

DE 69021027	E	G09G-003/36	Based on patent EP 433054
-------------	---	-------------	---------------------------

ES 2074143	T3	G09G-003/36	Based on patent EP 433054
------------	----	-------------	---------------------------

KR 9402295	B1	G09G-003/36	
------------	----	-------------	--

Abstract (Basic): EP 433054 A

Pixel data for one line is sequentially stored in a shift register circuit in a series of predetermined bits. A latch holds the signals, for one line and one horizontal period, stored in the shift register. Pixel data for each line from the latch is classified into upper and lower bits by a conversion circuit.

The conversion circuit selects two different adjacent DC voltages according to a value designated by the upper bits and performs pulse

width modulation between the two according to a value designated by the lower bits, and supplies analogue video signals to the corresponding source lines of the matrix array. A comparison data generating circuit outputs data which has bits by number equal to that of the lower bits and is compared with the lower bits to the conversion circuit.

ADVANTAGE - Number of bits of pixel data and pixels per line is not limited. (14pp Dwg.No.3/7)

Title Terms: DRIVE; CIRCUIT; LIQUID; CRYSTAL; DISPLAY; DRIVE; SOURCE; LINE; ACTIVE; MATRIX; TYPE; DISPLAY; THIN; FILM; TRANSISTOR; MATRIX; ARRAY

Derwent Class: P81; P85; T04; U14; W03

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): G02F-001/13; H04N-005/66

File Segment: EPI; EngPI

?

DRIVING CIRCUIT OF LIQUID CRYSTAL DISPLAY

Patent number: CN1052565
 Publication date: 1991-06-26
 Inventor: FUKUDA HIDENORI (JP)
 Applicant: SHARP KK (JP)
 Classification:
 - International: G09G3/36
 - european:
 Application number: CN19900106053 19901214
 Priority number(s): JP19890324639 19891214

Also published as:

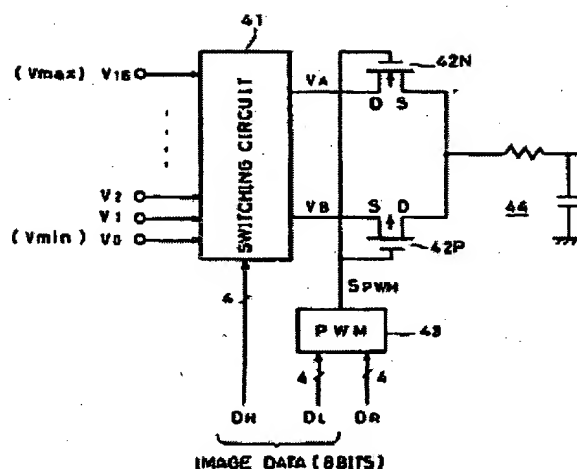
EP0433054 (A)
 US5162786 (A)
 JP3184018 (A)
 EP0433054 (A)
 EP0433054 (B)

Abstract not available for CN1052565

Abstract of correspondent: EP0433054

A driving circuit of a liquid crystal display for driving source lines of an active-matrix type liquid crystal display having a thin film transistor matrix array comprising a shift register circuit for sequentially storing digital video signals for one line, each of the digital video signals being comprised of pixel data of a series of predetermined bits, a latch circuit for holding for one horizontal period the digital video signals for one line stored in the shift register circuit, a conversion circuit for classifying each pixel data constituting the digital video signals for one line outputted from the latch circuit into upper and lower bits, selecting adjacent two different DC voltages according to a value designated by the upper bits, performing pulse width modulation between the two different DC voltages according to a value designated by the lower bits and supplying analog video signals to the corresponding source lines of the matrix array, and a comparison data generating circuit for outputting comparison data which has bits by number equal to that of the lower bits and is compared with the lower bits to the conversion circuit.

FIG.3



Data supplied from the esp@cenet database - Worldwide

(11)公开号 CN 1052565A



〔12〕发明专利申请公开说明书

[21] 申请号 90106053.4

[51] InLCT⁵

G09G 3 / 36

(43) 公开日 1991年6月26日

[22]申请日 90.12.14

130 优先权

132189.12.14 133UP 1311324639 / 89

[71] 申请人 夏普公司

地址 日本大阪市

[72]发明人 福田秀典

[74] 专利代理机构 中国专利代理有限公司

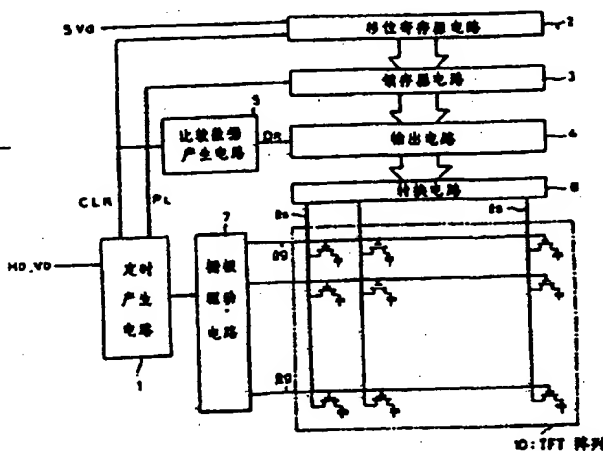
代理人 王忠忠 程天正

说明书页数: 8 附图页数: 8

1541发明名称 液晶显示器的驱动电路

1571摘要

有薄膜晶体管矩阵阵列的液晶显示器的源极线的驱动电路包括按顺序储存一行数字视频信号的移位寄存器电路,将储存在移位寄存器电路内的一行视频信号保存一水平周期的锁存电路;将构成从锁存器电路输出的一行数字视频信号的各像素数据分为高位和低位比特,根据高位比特数值选相邻的两不同直流电压,根据低位比特数值执行两不同直流电压间的脉宽调制,向矩阵阵列相应源极线供应模拟视频信号的转换电路;及向转换电路输出比较数据的比较数据产生电路。



(BJ)第1456号

权 利 要 求 书

1. 一种用以驱动具有一薄膜晶体管矩阵阵列的有源矩阵型液晶显示器的源极线的液晶显示器驱动电路, 其特征在于包括:

一个用以按顺序地储存一行的数字视频信号的移位寄存器电路, 每个数字视频信号是由一系列预定比特的象素数据所组成的;

一个用以将储存在该移位寄存器电路内的一行视频信号保存一个水平周期的锁存器电路;

一个转换电路, 用以将构成从该锁存器电路输出的一行的数字视频信号的每个象素数据分为高位比特和低位比特, 根据该高位比特表示的一个数值来选取相邻的两个不同的直流电压, 根据该低位比特表示的一个数值执行在这两个不同的直流电压之间的脉宽调制, 以及向该矩阵阵列中相应的源极线供给模拟视频信号; 以及

一个比较数据产生电路, 用以向该转换电路输出比较数据, 该比较数据具有等于该低位比特的位数的比特数, 并与该低位比特进行比较。

2. 根据权利要求1所述的驱动电路, 其特征在于: 所述的转换电路含有: 个数对应于一行象素数据个数的单元电路, 该单元电路具有一个切换电路, 用以选取两个不同的直流电压; 一个脉宽调制器, 用以将该低位比特与比较数据产生电路输出的比较数据相比较, 然后输出与该比较结果相应的、具有不同脉冲宽度的信号; 两个切换元件, 用以响应从该脉宽调制器输出的信号、分别对从该切换电路输出的两个不同的直流电压进行切换; 以及一个积分电路, 用以响应从上述的各切换元件输出的信号而输出模拟象素信号。

3. 根据权利要求1所述的驱动电路, 其特征在于所述比较数据产生电路是一个16进制计数器, 该计数器是由串联连接的4个D触发器构成

的。

4. 根据权利要求2 所述的驱动电路, 其特征在于所述脉宽调制器是一个4 比特的比较器; 所述的比较数据产生电路是一个16 进制计数器, 该计数器是由串联连接的4 个D 触发器所构成的。

5. 根据权利要求2 所述的驱动电路, 其特征在于所述的切换元件是N 型沟道场效应晶体管和P 型沟道场效应晶体管。

说明书

液晶显示器的驱动电路

本发明涉及一种用以驱动具有薄膜晶体管矩阵阵列(TFT阵列) 的有源矩阵型液晶显示器的源极线的驱动电路。

从传统上看, 业已提出如图6 所示的用以驱动有源矩阵型液晶显示器的源极线的电路。

图6 中标号21表示定时产生电路, 它接收水平和垂直的同步信号HD和VD来作为参考定时信号。水平和垂直同步信号HD和CD与下文描述的模拟视频信号同步。

移位寄存器22接收来自定时产生电路21的取样时钟脉冲CK和起动脉冲PST。

模拟视频信号SVa 要供给取样门电路23。门电路23具有多个门部分。这些门部分对该视频信号SVa 取样以得到象素信号。此外, 这些门部分接收来自移位寄存器电路22的门脉冲PSG, 以在每一水平周期内对一行的象素信号取样。

锁存门电路24接收由门电路23所取样的一行的象素信号。来自定时产生电路21的锁存脉冲PLG 在水平消隐期内供给门电路24。于是, 由门电路23供给的一行的象素信号被锁存并在下一个水平周期内得以保存。

由门电路24输出的一行的象素信号通过输出电路25同时供给TFT 阵列中相应的源极线ls。

图7 示出对应于一个象素信号的门电路23和24以及输出电路25的具体的局部结构的电路图。也就是说, 整个门电路23和24以及输出电路25是由预定个数的上述结构组成的。标号G23 和G24指的是“门”。标号

C23 和C24 指的是“电容器”。标号A25 指的是一个缓冲器。

请返回到图6, 定时产生电路21 向栅极驱动电路26 提供控制信号。然后, 扫描脉冲按顺序提供给栅极线1g。栅极线1g是按照与“通过输出电路25 向TFT 阵列10 的源极线1s 提供的一行象素信号相应的位置排列的。

按照图6 所示的驱动电路, 输入该模拟视频信号SVa。于是, 如若一行的象素的数目增加, 象具有一个大屏幕和高质量图象的TFT 阵列10 那样, 则一个象素信号所允许的取样时间变短, 因而, 门电路23 的电容器C23 的充电时间变得不足够, 结果, 视频信号SVa 不可能准确地被取样。也就是说, TFT阵列10 不可能与该视频信号SVa 相应地准确地被驱动。因此, 很难得出质量好的显示。

日本未经审查的特许公开63-182695 和63-18695 已公开了一种响应数字视频信号而驱动液晶显示器的电路。前一个公开文件揭示了一种驱动电路, 用以选取与输入的多灰度等级的数字视频信号相对应的驱动电压, 并将其输出给液晶显示器。后一公开文件揭示了一种驱动电路, 用以根据由多个比特表示的一个数值、接收为液晶显示器的每个象素规定显示亮度的数据、然后输出具有与该数据相对应的脉宽的驱动信号。

本发明提供一种液晶显示器的驱动电路, 用以驱动具有薄膜晶体管矩阵阵列的有源矩阵型液晶显示器的源极线。该驱动电路包括: 一个移位寄存器电路, 用以按顺序储存一行的数字视频信号, 每个数字视频信号是由一系列预定比特的象素数据组成的; 一个锁存器电路, 用以对储存在移位寄存器电路内的一行数字视频信号保存一个水平周期; 一个转换电路, 用以将构成锁存器电路输出的一行数字视频信号的每个象素数据分为高位比特和低位比特; 根据高位比特指示的一个数值选取相邻的两个不同的直流电压, 根据低位比特指示的一个数值在两个不同的直流电压之间执行脉宽调制, 以及向该矩阵阵列中相应的源极线供给模拟视频信号; 以及一个比较数据产生电路, 用以向该转换电路输出比较数

据, 该数据具有与低位比特的位数相等的比特位数, 并与该低位比特比较。

图1 示出本发明的一个实施例的方框图;

图2A和2B示出移位寄存器电路、锁存器电路和转换电路结构的电路图;

图3 示出这个实施例中转换电路的电路图;

图4A、4B和4C是解释转换电路工作情况的示意图;

图5 示出该实施例中比较数据产生器和脉宽调制器的电路图;

图6 示出传统的实例的方框图;

图7 示出该传统实例中主要部分的电路图。

本发明的液晶显示器驱动电路基本上包括: 一个定时产生电路、一个栅极驱动电路、一个输出电路以及一个电源电路。定时产生电路输出用以判定信号处理的定时的信号。栅极驱动电路驱动一个待驱动的有源矩阵型液晶显示器的薄膜晶体管矩阵阵列(TFT阵列)的栅极线。输出电路适当调整要供给该TFT阵列源极的模拟视频信号的电平。电源电路则输出直流电压。

根据本驱动电路, 一行的数字视频信号按顺序存入移位寄存器电路, 由锁存器电路保存一个水平周期, 然后由转换电路转换为模拟视频信号以输送到该TFT阵列的源极线上。不像传统实例那样, 这里不进行从该模拟视频信号中对像素信号取样的处理。因此, 即使一行的像素数增加, 该TFT阵列能够相应于该视频信号而充分和准确地被驱动。

可由本发明驱动电路所驱动的有源矩阵型液晶显示器的一个实例是这样的: 像素电极形成如同在一个液晶片内的一个矩阵, 薄膜晶体管分别地与各自的像素电极相连接, 以对其施加或不施加电压, 这样, 就形成了一个薄膜晶体管矩阵阵列(例如, 日本未经审查的特许公开59492/1986)。

现在参照图1 对本发明的一个实施例进行描述。

图1 中标号1 指的是一个定时产生电路。定时产生电路1 接收水平和垂直同步信号HD和VD作为参考定时信号。水平和垂直同步信号HD和VD与下面将要描述的数字视频信号SVd 同步。

标号2 指的是一个移位寄存器电路。移位寄存器电路2 按顺序储存一行由一系列预定比特的象素数据所组成的数字视频信号。此外, 移位寄存器电路2 接收数字视频信号SVd。数字视频信号SVd 是由分别具有8 比特D0-D7 的象素数据P1-Pm 所组成的。移位寄存器电路2 还接收来自定时产生电路1 的时钟脉冲CLK, 并在每个水平周期内按顺序储存一行的数字视频信号SVd(见图2A) 。

锁存器电路3 接收在每个水平周期内存储在移位寄存器电路2 内的一行象素数据(见图2B) 。锁存脉冲PL由定时产生电路1 在水平消隐期内供给锁存器电路3, 使得由移位寄存器电路2 供给的一行的象素数据(L1-Lm) 被锁存并在下一个水平周期内被保存。

转换电路4 接收从锁存器电路3 输出的一行的象素数据。

转换电路4 将构成锁存器电路3 输出的一行数字视频信号的每个象素数据分别地分为高位比特和低位比特, 然后根据高位比特所表示的数值选取相邻的两个不同的直流电压, 以及根据低位比特所表示的数值, 在这两个不同的直流电压之间执行脉宽调制, 以向该矩阵阵列的相应源极线供给模拟视频信号。也就是说, 转换电路4 把8 比特的每个像素数据分别分为较高位的4 比特数据DH(D7-D4) 和较低位的4 比特数据DL(D3-D0) 。

4 个高比特位数据DH选取相邻的两个不同电压VA和VB, 该电压供给处于电压V0(最小电压Vmin) 、V1、V2、.....V16(最大电压Vmax) 的TFT阵列的源极线。这些电压V0(Vmin)、V1、V2、.....V16 是按相等的时间间隔在Vmax 与Vmin 之间予以提供的。在这种情况下, 如果数据DH表示的数

值为 n ($n=0-15$), 则 $V_A=V_n+1$, $V_B=V_n$ 。

脉宽调制在根据如上所述的低位比特数据DL选定的电压 V_A 与 V_B 之间进行。然后, 脉宽调制信号被积分和输出。

转换电路4 包括单元电路4₁、4₂...4_m, 它们对应于一行的象素数据的个数(见图2B)。如图3所示, 每个单元电路都具有一个切换电路41、一个脉宽调制器(PWM)43、两个切换元件42N和42P以及一个积分电路44。切换电路41选取直流电压。PWM43将低位比特数据与来自比较数据产生电路5输出的比较数据DR相比较, 然后输出相应于上述比较的结果的、具有不同脉宽的信号。切换元件42N和42P响应从PWM43输出的信号对从切换电路41输出的直流电压进行切换。积分电路44响应从切换部件42N和42P输出的信号, 输出模拟象素信号。

图3示出转换电路4的一个象素部分的组成结构。

在图3中, 切换电路41接收电压 V_0-V_{16} , 根据4个高位比特的数据DH(见图4A)选取和输出电压 V_A 和 V_B 。

由切换电路41选取的电压 V_A 和 V_B 分别供给N型沟道场效应晶体管42N的漏极和P型沟道场效应晶体管42P的源极。

标号43指的是脉宽调制器(PWM)。PWM43接收的4个低位比特数据DL和比较数据产生电路5(见图1)输出的4个比特比较数据DR(DR₃-DR₀)。也就是说, 比较数据产生电路5向转换电路4输出用以与低位比特相比较的比较数据, 该数据所含比特数与低位比特的位数相等。

图5是比较数据产生电路5和脉宽调制器43的具体结构图。

比较数据产生电路5是一个4比特十六进制计数器, 它是由串联连接的D触发器51-54构成的。D触发器51的时钟端接收来自定时产生电路1的时钟脉冲CLK。D触发器51-54输出端的信号DR₀-DR₃组成4比特的比较数据DR。4比特比较数据DR在时钟脉冲CLK的16个时钟脉冲的一个周期里从[0000]到[1111]重复。

脉宽调制器43是一个4 比特比较器, 由它使数据DL与比较数据DR相比较。脉宽调制器输出信号S PWM。若数据DL小于比较数据DR, 则信号S PWM 具有低电平“0”。若数据DL大于比较数据DR, 则信号S PWM 具有高电平“1”。在这种情况下, 每当时钟脉冲CLK 供给比较数据产生器5 时, 都要使比较数据DR加1。如果比较数据DR大于数据DL, 则信号S PWM 的电平从高电平“1”变为低电平“0”。于是, 信号S PWM 具有高电平“1”的时间对应于时钟脉冲CLK 的16个时钟脉冲的周期内的数据DL。也就是说, 脉宽调制器43输出的信号S PWM 是通过在数据DL上进行脉宽调制而产生的。

返回到图3, 从脉宽调制器43输出的信号S PWM 输送到场效应晶体管42N 和42P 的栅极上。在这种情况下, 如果信号S PWM 为高电平“1”, 则场效应晶体管42N 导通。如果信号S PWM 为低电平“0”, 则场效应晶体管42P 导通。因此, 由于信号S PWM 是通过在数据DL上进行脉宽调制而产生的, 因而通过在数据DL上进行在电压VA与VB之间的脉宽调制而产生的信号被输出到场效应晶体管42N 的源极与场效应晶体管42P 的漏极的节点上(见图4B)。

积分器电路44接收通过在电压VA与VB之间脉宽调制而产生的信号。如上所述, 电压VA和VB是根据像素数据4 个高位比特的数据DL执行的。为此, 从积分电路44输出的信号被转换成为具有与8 比特的像素数据相对应的模拟像素信号(见图4C)。

返回到图1, 转换电路4 输出模拟像素信号, 该信号具有与锁存电路3 提供的一行数字像素数据相对应的电平。模拟像素信号同时通过输出电路6 分别地输送到相对应的源极线1_g上。输出电路6 是一个与每条源极线相连接的电压跟随器。

标号1 指的是一个栅极驱动电路。栅极驱动电路7 接收来自定时产生电路1 的控制信号。扫描脉冲按顺序供给栅极线1_g。栅极线1_g按照从

输出电路6 在每个水平周期供给TFT 阵列10的源极线1_s的一行像素信号相对应的位置而排列的。

于是, 一行的数字视频信号按顺序储存在移位寄存器电路2 内, 由锁存电路3 保存一个水平周期, 然后由转换电路4 转换为模拟视频信号, 以被提供给TFT 阵列10的源极线1_s。此外, 使扫描脉冲按顺序输送给栅极线1_g。栅极线1_g是按照提供给TFT 阵列10的源极线1_s的一行视频信号相对应的位置而排列的。TFT 阵列10的每个像素是响应与视频信号SVd 的每个像素数据相对应的模拟像素信号而被驱动的, 因而一幅图象得到了显示。

根据本实施例, 不必执行从模拟视频信号SVd 进行像素信号取样的处理。因此, 即使一行的像素数目被增加, TFT阵列可以足够地和准确地相应于视频信号SVd 而得到驱动。

如上所述, 比较数据DR与数据DL相比较, 以执行脉宽调制。比较数据DR与时钟脉冲CLK 同步, 以按顺序被增加一量化的阶宽。在一个水平周期内要求脉宽调制重复大约10次, 以得到稳定的模拟视频信号。

根据本实施例, 在电压VA与VB之间由4 个低位比特的数据DL进行脉宽调制。因此, 与由本身为8 比特的像素数据进行脉宽调制相比, 一个脉宽调制所需的时间可以减少。对于由自身为8 比特的像素数据进行的脉宽调制, 如果时钟脉冲CLK 的周期是10毫微秒, 则10个脉宽调制所需的时间为10毫微秒 \times 256步 \times 10次=25.6微秒。对于本实施例, 如果时钟脉冲CLK 的周期是10毫微秒, 则10个脉宽调制所需的时间为10毫微秒 \times 16步 \times 10次=1.6微秒。为此, 本实施例的结构可使时钟脉冲的周期比较长。此外, 即使使用廉价的时钟脉冲产生器, 像素数据也能很好地转换成为模拟视频信号。

虽然在本实施例中, 8比特的像素数据被分为4 个高位比特数据和4 个低位比特数据, 但是比特数的划分是不受限制的。也就是说, 这种划

分取决于时钟脉冲CLK 的周期等。简单地说，将像素数据的比特分为4 个高位比特和4 个低位比特以减少与脉宽调制有关的比特数。

虽然在上述实施例中使用了8 比特的像素数据，但是像素数据的比特数是不受限制的。如果比特数增加，则本发明变得更有效。

根据本发明，如上所述使用了数字视频信号。不像传统实例那样，不必执行从模拟视频信号对像素信号取样的处理。因此，即使一行的像素数目增加，TFT阵列也可以足够地和准确地相应于视频信号受到驱动。此外，像素数据被分为高位和低位比特数据。根据高位比特数据选取相邻的两个不同的直流电压，根据低位比特数据在这两个不同的直流电压之间执行脉宽调制。因而，即使像素数据的比特数增多，脉宽调制所需的时间也很少增加，因此，时钟脉冲的周期可以长些。也就是说，即使像素数据的比特数增加，使用廉价的时钟脉冲产生器也能很好地将像素数据转变为模拟视频信号。

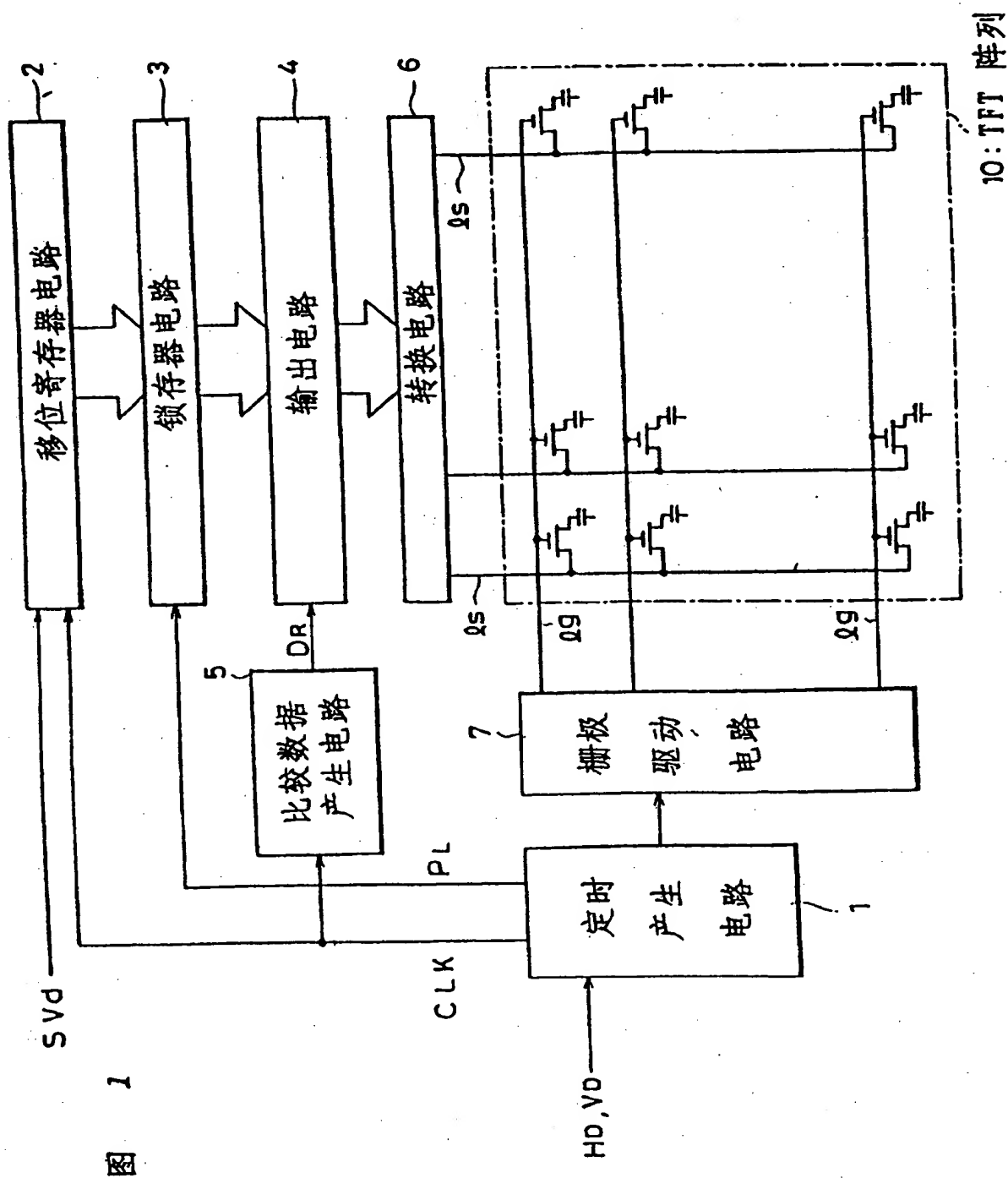


图 1

图 2A

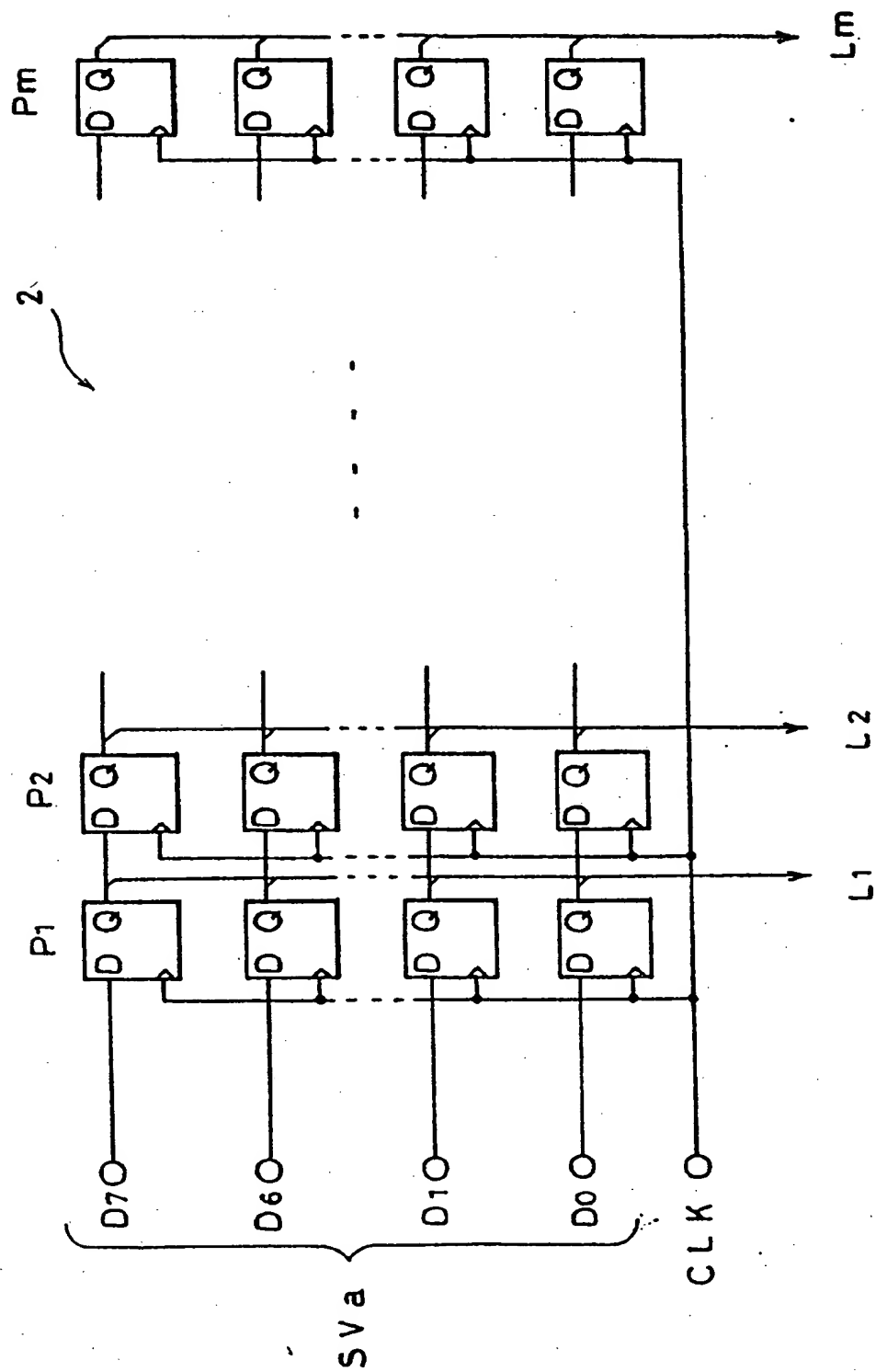


图 2 B

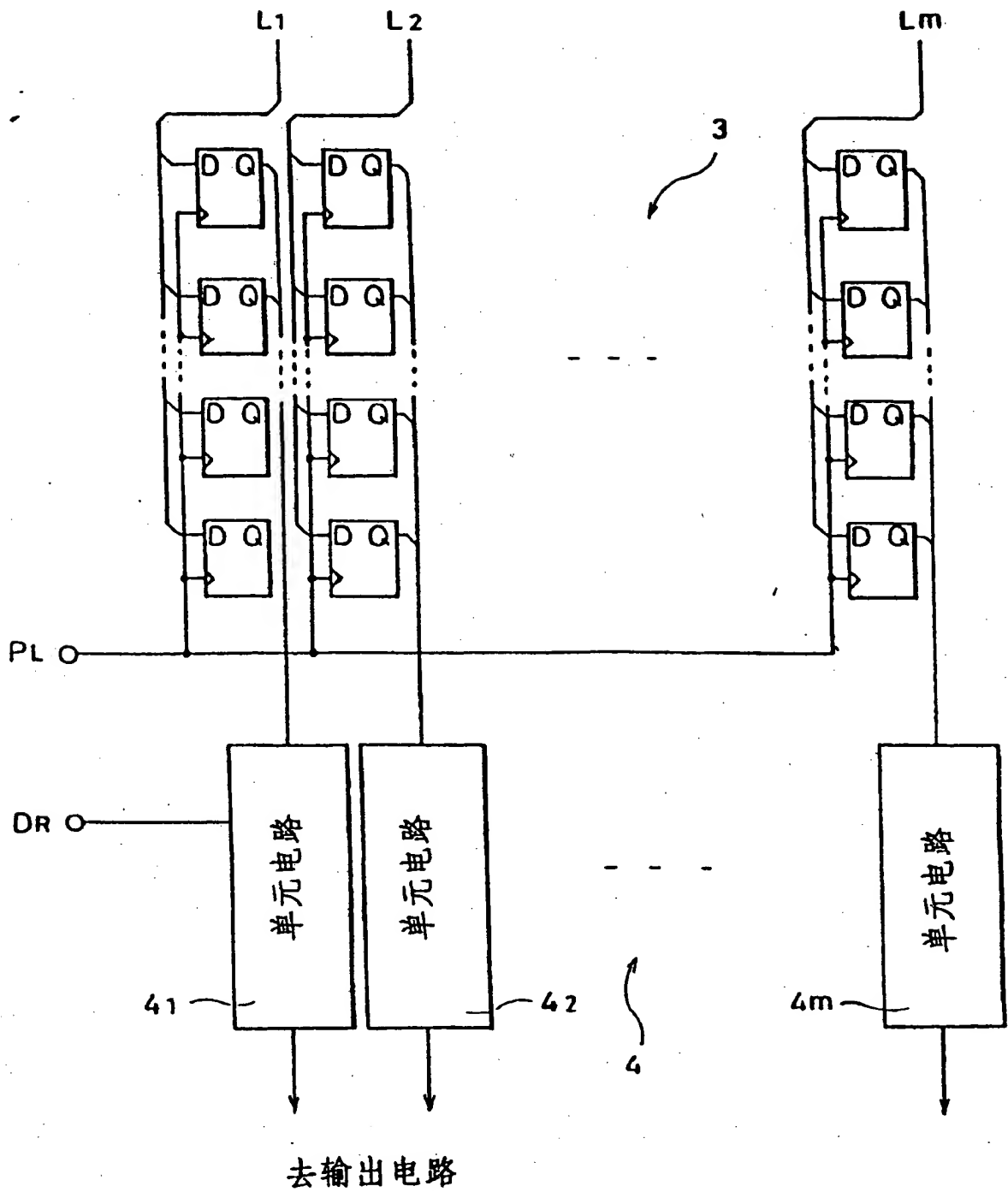


图 3

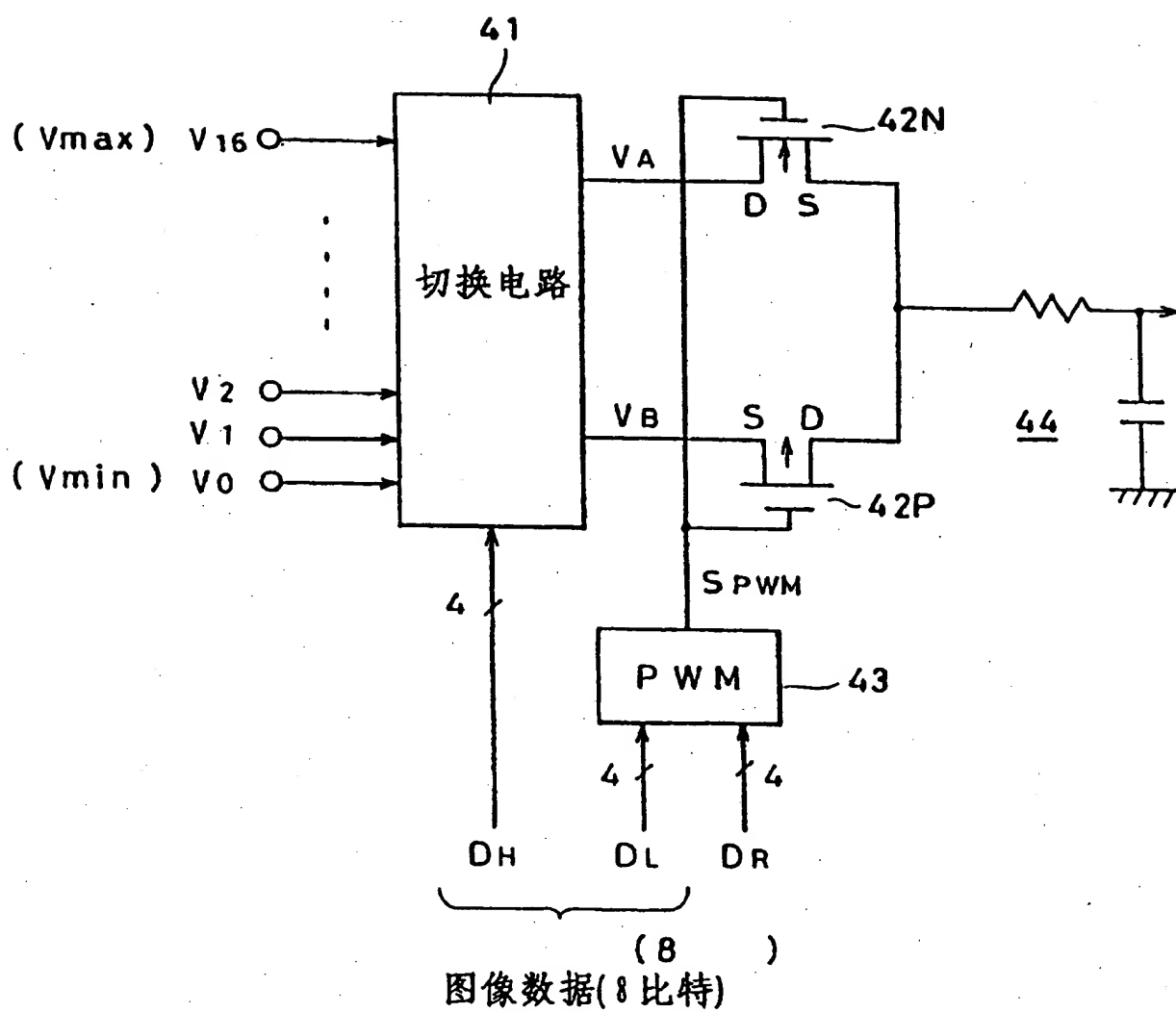


图 4 A

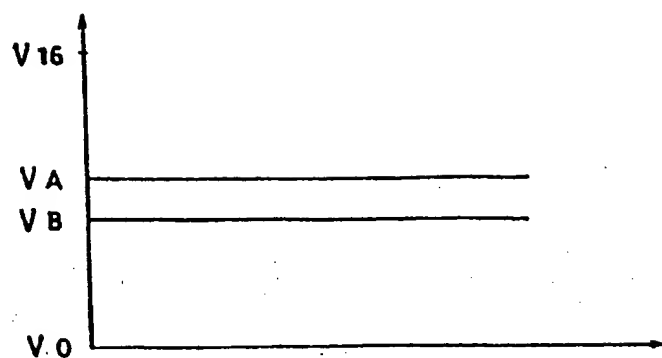


图 4 B

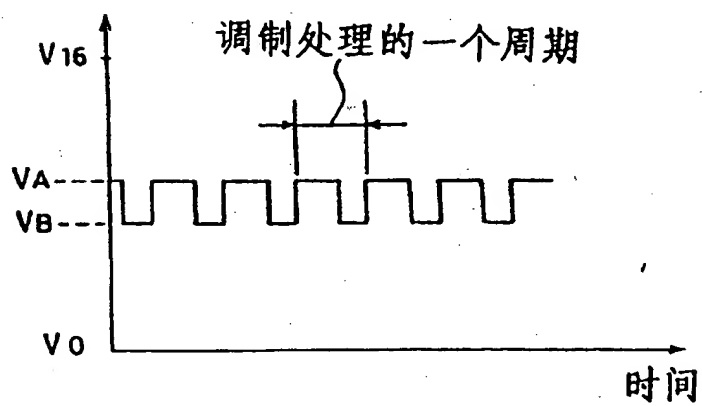


图 4 C

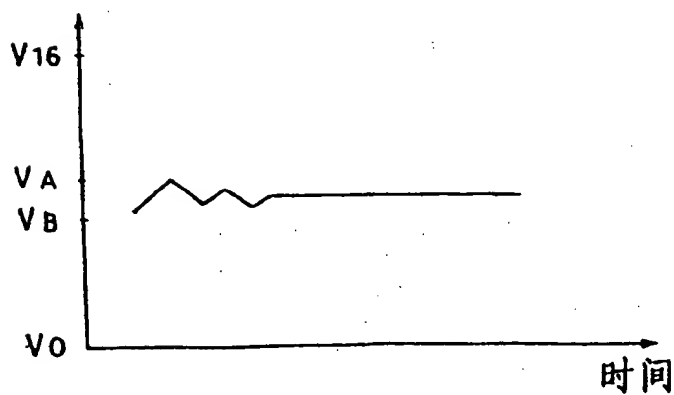
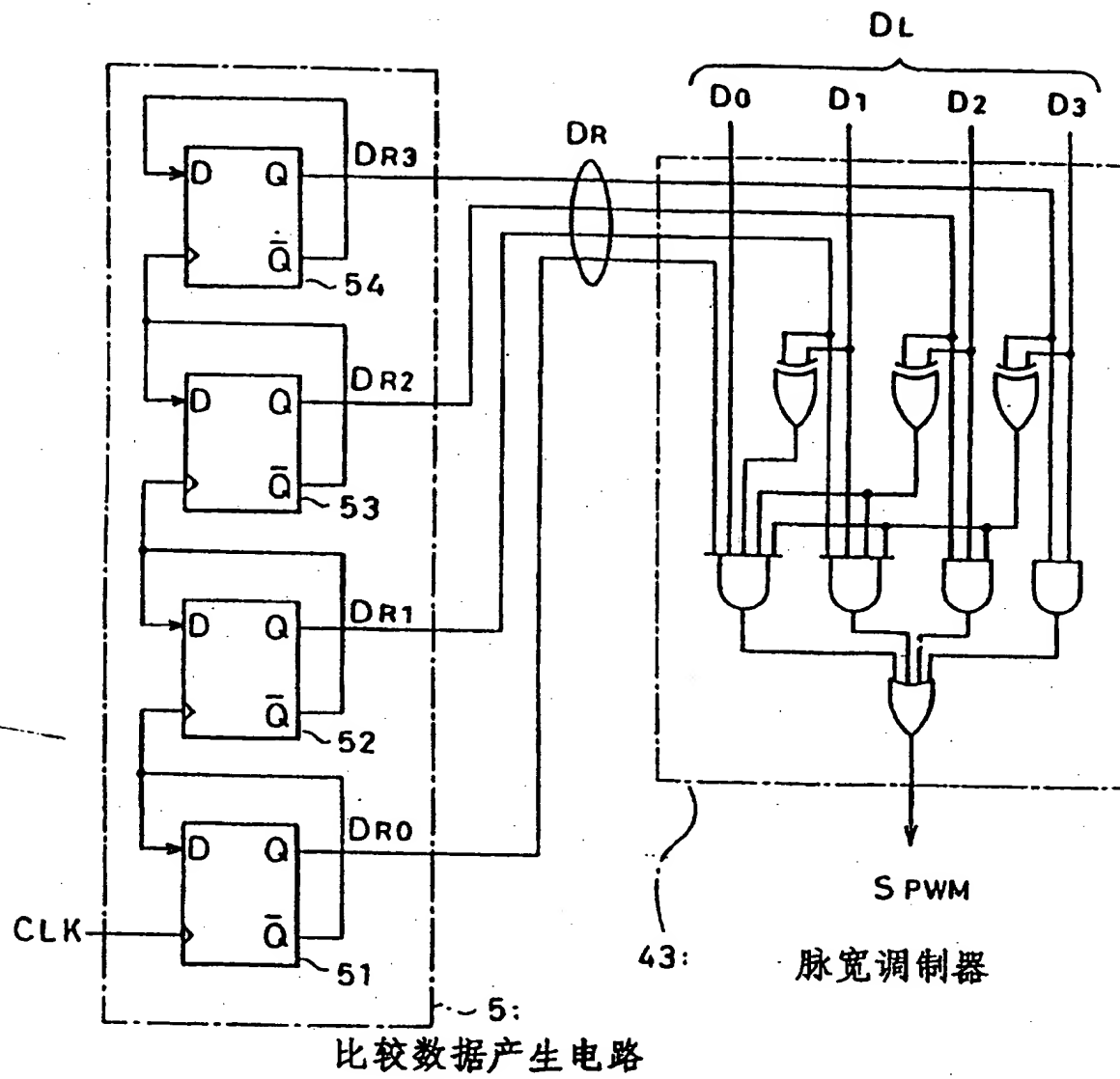


图 5



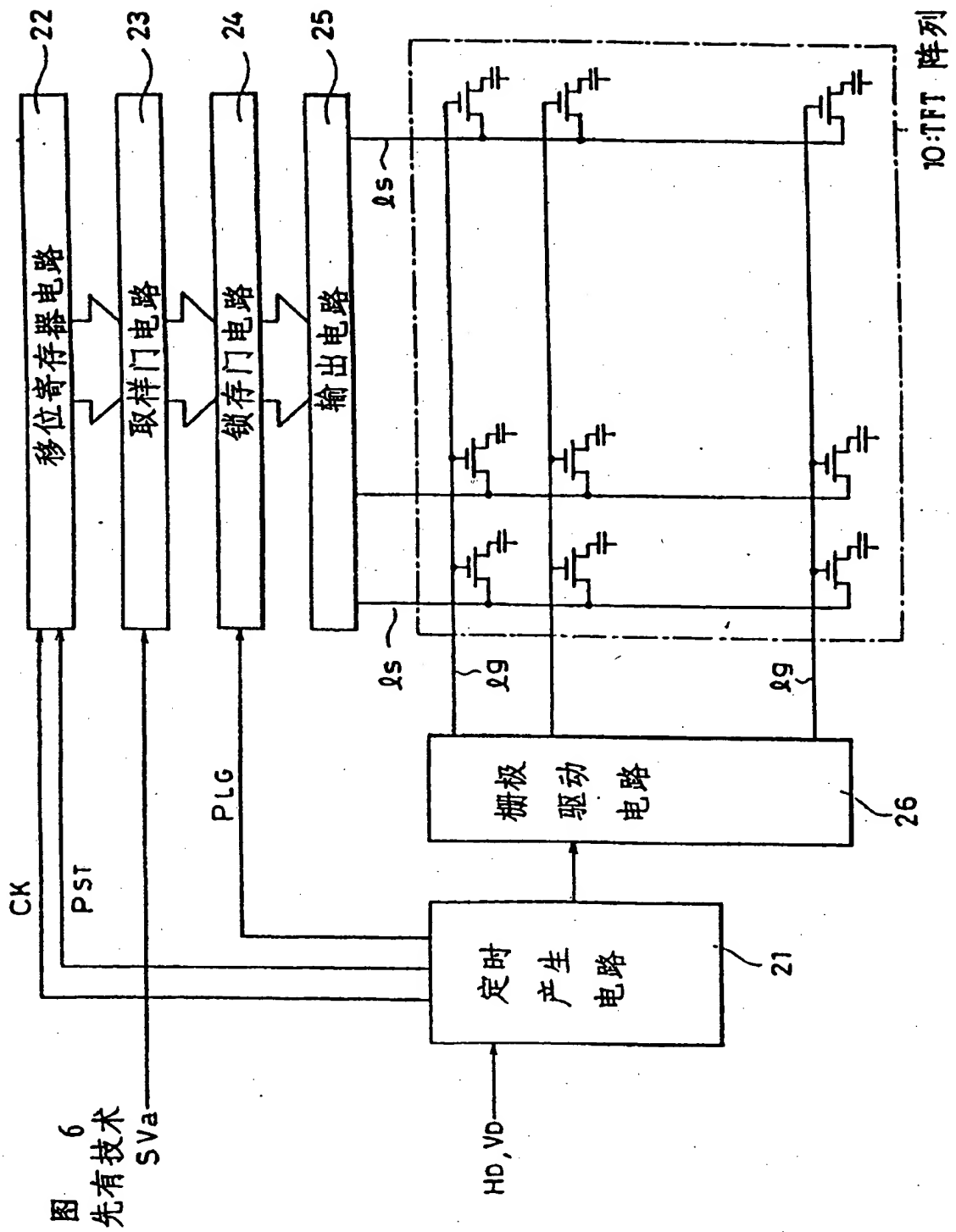


图 7 现有技术

